

PATENT
24500-000005/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Shinji HATTORI Conf: Unknown
Application No.: New Application Group: Unknown
Filed: June 24, 2003 Examiner: Unknown
For: PARALLEL/SERIAL CONVERSION CIRCUIT, SERIAL DATA
GENERATION CIRCUIT, SYNCHRONIZATION SIGNAL
GENERATION CIRCUIT, CLOCK SIGNAL GENERATION
CIRCUIT, SERIAL DATA TRANSMISSION DEVICE, SERIAL
DATA RECEPTION DEVICE, AND SERIAL DATA
TRANSMISSION SYSTEM

PRIORITY LETTER

June 24, 2003

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
2002-183704	06/24/02	JAPAN

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By


Donald J. Daley, Reg. No. 34,313
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

DJD:bof

(Translation)

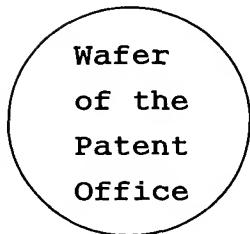
PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : June 24, 2002

Application Number : Patent Appln. No. 2002-183704

Applicant(s) : SHARP KABUSHIKI KAISHA



May 9, 2003

Shinichiro OTA
Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2003-3034207

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 6月24日

出願番号

Application Number:

特願2002-183704

[ST.10/C]:

[JP2002-183704]

出願人

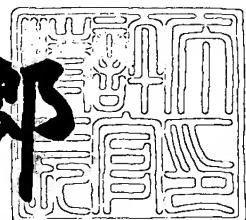
Applicant(s):

シャープ株式会社

2003年 5月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3034207

【書類名】 特許願

【整理番号】 02J01646

【提出日】 平成14年 6月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 25/49

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 服部 真司

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【選任した代理人】

【識別番号】 100062409

【弁理士】

【氏名又は名称】 安村 高明

【選任した代理人】

【識別番号】 100107489

【弁理士】

【氏名又は名称】 大塙 竹志

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208587

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 パラレル・シリアル変換回路、シリアルデータ生成回路、同期信号生成回路、クロック信号生成回路、シリアルデータ送信装置、シリアルデータ受信装置およびシリアルデータ伝送システム

【特許請求の範囲】

【請求項1】 複数ビットからなる正並列データが書き込まれ、シフトクロック信号に応じて該正並列データを1ビットずつシフトさせながら正直列データを出力する第1シフトレジスタと、

該正並列データの各ビットを反転させた負並列データが書き込まれ、シフトクロック信号に応じて該負並列データを1ビットずつシフトさせながら負直列データを出力する第2シフトレジスタと、

該正直列データが入力され、該正直列データの各ビットに応じた第1パルス信号を出力する第1パルス発生回路と、

該負直列データが入力され、該負直列データの各ビットに応じた第2パルス信号を出力する第2パルス発生回路と、

該第1パルス信号と該第2パルス信号とが入力され、該第1パルス信号と該第2パルス信号とを合成して合成信号を出力する合成回路とを備え、

該第1シフトレジスタおよび該第2シフトレジスタは、該シフトクロック信号として該合成信号が入力されるパラレル・シリアル変換回路。

【請求項2】 前記第1パルス発生回路および前記第2パルス発生回路のそれぞれは、データ終了時に、前記第1パルス信号および前記第2パルス信号としてそれぞれ'1'を出力する請求項1に記載のパラレル・シリアル変換回路。

【請求項3】 前記第1パルス発生回路および前記第2パルス発生回路は、パルス幅Tの期間を設定する遅延回路を備えている請求項1に記載のパラレル・シリアル変換回路。

【請求項4】 請求項1に記載のパラレル・シリアル変換回路から第1パルス信号および第2パルス信号が入力され、該第1パルス信号および該第2パルス信号の組み合せが、

(0、0)のときにビットの区切り、

(0、1) のときに論理値0のビット、
 (1、0) のときに論理値1のビット
 としてシリアルデータを生成するシリアルデータ生成回路。

【請求項5】 請求項2に記載のパラレル・シリアル変換回路から第1パルス信号および第2パルス信号が入力され、該第1パルス信号および該第2パルス信号の組み合せが、(1、1) のときに同期信号を生成する同期信号生成回路。

【請求項6】 請求項1に記載のパラレル・シリアル変換回路から第1パルス信号および第2パルス信号が入力され、該第1パルス信号および該第2パルス信号の入力タイミングに応じてクロック信号を生成するクロック信号生成回路。

【請求項7】 請求項1～請求項3のいずれかに記載のパラレル・シリアル変換回路を備えたシリアルデータ送信装置。

【請求項8】 請求項4に記載のシリアルデータ生成回路と、請求項5に記載の同期信号生成回路と、請求項6に記載のクロック信号生成回路とを備えたシリアルデータ受信装置。

【請求項9】 請求項7に記載のシリアルデータ送信装置と請求項8に記載のシリアルデータ受信装置とを備えたシリアルデータ伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばCMOS論理回路によって構成することができ、マイクロプロセッサ、ディジタル信号処理プロセッサなどの集積回路のシリアルデータ伝送出力回路等として利用されるパラレル・シリアル変換回路、シリアルデータ生成回路、同期信号生成回路、クロック信号生成回路、シリアルデータ送信装置、シリアルデータ受信装置およびシリアルデータ伝送システムに関する。

【0002】

【従来の技術】

従来から、集積回路のシリアルデータ伝送出力回路として、複数ビットからなる入力データとシフトクロック信号とをシフトレジスタに入力して、データをシフトさせながら1ビット毎に出力するパラレル・シリアル変換回路が用いられて

いる。

【0003】

このようなパラレル・シリアル変換回路においては、シリアルデータを構成する各ビットの区切りを伝送するために、シリアルデータの伝送経路と共に、シフトクロック信号の伝送経路を設ける必要がある。または、特開平10-322404号公報に開示されているように、データ信号の伝送経路と共に、シリアルデータのビットの区切りを示すための区切り信号の伝送経路を設ける必要がある。

【0004】

図7は、特開平10-322404号公報に開示されているシリアルデータ伝送方法を説明するための信号波形図である。

【0005】

このシリアルデータ伝送方法では、データ信号200の伝送経路と共に、シリアルデータのビットの区切りを示すための区切り信号201の伝送経路を設けている。伝送側では、データ信号200を、伝送すべきデジタルデータの各ビットの論理値（0または1）に対応するレベルで連続的に伝送すると共に、データ信号200の連続するビットが同値である場合に、予め定める区切り信号201を伝送するようになっている。

【0006】

【発明が解決しようとする課題】

従来のパラレル・シリアル変換回路では、シリアルデータを生成するためにシフトクロック信号を入力する必要があるため、クロック発振回路、クロック分周回路などを別途設ける必要があり、回路規模が大きくなるという問題がある。

【0007】

また、パラレル・シリアル変換動作が不要なときにも、クロック発振回路、クロック分周回路等からクロック信号が供給されるため、消費電力が増大するという問題がある。消費電力を低減させるためには、パラレル・シリアル変換動作が不要なときに、クロック信号が停止されるように制御する制御回路を設けることも考えられるが、その場合には、クロック信号を停止制御する制御回路が別途設ける必要があり、回路規模が大きくなるという問題が生じる。

【0008】

さらに、シリアルデータのビットの区切りを伝送するために、シフトクロック信号の伝送経路または区切り信号の伝送経路を設ける必要があり、このような伝送経路が無い場合には、データ受信部にてデータを復元することができない。

【0009】

本発明は、このような従来技術の課題を解決するためになされたものであり、クロック発振回路、クロック分周回路等を設けることなくシフトクロック信号を生成することができ、パラレル・シリアル変換動作が不要なときに消費電力を低減させることができ、さらに、シフトクロック信号または区切り信号の伝送経路を設けることなくシリアルデータを伝送してデータ受信部にてデータを復元することができるパラレル・シリアル変換回路、シリアルデータ生成回路、同期信号生成回路、クロック信号生成回路、シリアルデータ送信装置、シリアルデータ受信装置およびシリアルデータ伝送システムを提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明のパラレル・シリアル変換回路は、複数ビットからなる正並列データが書き込まれ、シフトクロック信号に応じて該正並列データを1ビットずつシフトさせながら正直列データを出力する第1シフトレジスタと、該正並列データの各ビットを反転させた負並列データが書き込まれ、シフトクロック信号に応じて該負並列データを1ビットずつシフトさせながら負直列データを出力する第2シフトレジスタと、該正直列データが入力され、該正直列データの各ビットに応じた第1パルス信号を出力する第1パルス発生回路と、該負直列データが入力され、該負直列データの各ビットに応じた第2パルス信号を出力する第2パルス発生回路と、該第1パルス信号と該第2パルス信号とが入力され、該第1パルス信号と該第2パルス信号とを合成して合成信号を出力する合成回路とを備え、該第1シフトレジスタおよび該第2シフトレジスタは、該シフトクロック信号として該合成信号が入力され、そのことにより上記目的が達成される。

【0011】

前記第1パルス発生回路および前記第2パルス発生回路のそれぞれは、データ

終了時に、前記第1パルス信号および前記第2パルス信号としてそれぞれ'1'を出力する。

【0012】

前記第1パルス発生回路および前記第2パルス発生回路は、パルス幅Tの期間を設定する遅延回路を備えている。

【0013】

本発明のシリアルデータ生成回路は、本発明のパラレル・シリアル変換回路から第1パルス信号および第2パルス信号が入力され、該第1パルス信号および該第2パルス信号の組み合せが、

(0、0)のときにビットの区切り、

(0、1)のときに論理値0のビット、

(1、0)のときに論理値1のビット

としてシリアルデータを生成し、そのことにより上記目的が達成される。

【0014】

本発明の同期信号生成回路は、本発明のパラレル・シリアル変換回路から第1パルス信号および第2パルス信号が入力され、該第1パルス信号および該第2パルス信号の組み合せが、(1、1)のときに同期信号を生成し、そのことにより上記目的が達成される。

【0015】

本発明のクロック信号生成回路は、本発明のパラレル・シリアル変換回路から第1パルス信号および第2パルス信号が入力され、該第1パルス信号および該第2パルス信号の入力タイミングに応じてクロック信号を生成し、そのことにより上記目的が達成される。

【0016】

本発明のシリアルデータ送信装置は、本発明のパラレル・シリアル変換回路を備え、そのことにより上記目的が達成される。

【0017】

本発明のシリアルデータ受信装置は、本発明のシリアルデータ生成回路と、本発明の同期信号生成回路と、本発明のクロック信号生成回路とを備え、そのこと

により上記目的が達成される。

【0018】

本発明のシリアルデータ伝送システムは、本発明のシリアルデータ送信装置と、本発明のシリアルデータ受信装置とを備え、そのことにより上記目的が達成される。

【0019】

以下に、本発明の作用について説明する。

【0020】

本発明にあっては、複数ビットからなる正並列データが書き込まれ、シフトクロック信号に応じて正並列データを1ビットずつシフトさせながら正直列データを出力する第1シフトレジスタと、正並列データの各ビットを反転させた負並列データが書き込まれ、シフトクロック信号に応じて負並列データを1ビットずつシフトさせながら負直列データを出力する第2シフトレジスタと、正直列データの各ビットに応じた第1パルス信号を出力する第1パルス発生回路と、負直列データの各ビットに応じた第2パルス信号を出力する第2パルス発生回路と、第1パルス信号と第2パルス信号とを合成して合成信号を出力する合成回路とを備えており、合成信号をシフトクロック信号として用いることができる。外部からシフトクロック信号を供給する必要がないため、クロック発振回路、クロック分周回路等が不要であり、パラレル・シリアル変換動作が不要なときにクロック信号を停止制御する制御回路も不要である。

【0021】

また、本発明にあっては、第1パルス信号および第2パルス信号の組み合せが

(0、0) のときにビットの区切り、

(0、1) のときに論理値0のビット、

(1、0) のときに論理値1のビット

としてシリアルデータを生成することができ、従来技術のように伝送ビットの区切りを示すビット区切り信号を伝送するための伝送経路を設ける必要が無い。また、第1パルス信号および第2パルス信号の組み合せが(1、1)のときに同期

信号を生成することができ、第1パルス信号および第2パルス信号の入力タイミングに応じてクロック信号を生成することができる。このため、例えばクロック信号によってシリアルデータをシフトレジスタに直列入力し、同期信号のタイミングでパラレルデータを出力させることができる。

【0022】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面に基づいて説明する。

【0023】

(実施形態1)

本実施形態では、8ビットのデータを論理回路によってパラレル・シリアル変換するパラレル・シリアル変換回路の実施形態について説明する。

【0024】

図1は、本実施形態のパラレル・シリアル変換回路100の構成を示すブロック図である。

【0025】

このパラレル・シリアル変換回路100は、複数ビットからなる正並列データが書き込まれる第1シフトレジスタ1と、正並列データの各ビットを反転させた負並列データが書き込まれる第2シフトレジスタ2とが設けられている。第2シフトレジスタに供給される負並列データは、インバータ回路などによって正並列データをビット反転させることによって生成することができる。

【0026】

第1シフトレジスタ1は、シフトクロック信号に応じて正並列データを1ビットずつシフトさせながら正直列データを出力するようになっており、第1シフトレジスタ1から出力された正直列データは第1パルス発生回路20に入力される。また、第2シフトレジスタ2は、シフトクロック信号に応じて負正並列データを1ビットずつシフトさせながら負直列データを出力するようになっており、第2シフトレジスタ2から出力された負直列データは第2パルス発生回路21に入力される。

【0027】

第1パルス発生回路20は、入力された正直列データの各ビットに応じた第1パルス信号を出力するようになっており、第2パルス発生回路21は、入力された負直列データの各ビットに応じた第2パルス信号を出力するようになっている。第1パルス発生回路20および第2パルス発生回路21のそれぞれから出力された第1パルス信号および第2パルス信号は、いずれも合成回路5に入力される。

【0028】

合成回路5は、入力された第1パルス信号と第2パルス信号とを合成して合成信号を出力するようになっており、合成回路5から出力された合成信号はシフトクロック信号として第1シフトレジスタ1および第2シフトレジスタ2のそれぞれに入力されるようになっている。このように、第1シフトレジスタ1および第2シフトレジスタ2のシフトクロック信号として、合成回路5から出力された合成信号を用いることにより、クロック発振回路、クロック分周回路等が不要であり、パラレル・シリアル変換動作が不要であるときには、電力が消費されることはない。

【0029】

図2(a)は、本実施形態のパラレル・シリアル変換回路100のさらに具体的な構成を示す回路図である。

【0030】

ここでは、8ビット幅の正並列データ11がライトパルス10によって第1シフトレジスタ1に並列入力されるようになっており、第1シフトレジスタ1から直列出力される正直列データ13が第1パルス発生回路20に入力される。

【0031】

第1パルス発生回路20は、論理積回路3、駆動回路101およびシュミットトリガ回路103によって構成されている。論理積回路3は、一方の入力に正直列データ13が入力され、他方の入力に'0'が入力されたときには'0'が出力され、'1'が入力されたときには正直列データ13が出力されるようになっている。駆動回路101では、入力信号に応じて所定の出力レベルが生成されると共に、論理積回路3と駆動回路101とを合わせて遅延時間Tだけ信号が遅延

されて正伝送データ（第1パルス信号）15が出力されるようになっている。シユミットトリガ回路103は、中間レベルが入力されても出力論理が変化しないように制御するために設けられている。

【0032】

また、正並列データ11の各ビットを反転させた8ビット幅の負並列データ12がライトパルス10によって第2シフトレジスタ2に並列入力されるようになっており、第2シフトレジスタ2から直列出力される負直列データ14が第2パルス発生回路21に入力される。

【0033】

第2パルス発生回路21は、論理積回路4、駆動回路102およびシユミットトリガ回路104によって構成されている。論理積回路4は、一方の入力に負直列データ14が入力され、他方の入力に'0'が入力されたときには'0'が出力され、他方の入力に'1'が入力されたときには負直列データ14が出力されるようになっている。駆動回路102では、入力信号に応じて所定の出力レベルが生成されると共に、論理積回路4と駆動回路102とを合わせて遅延時間Tだけ信号が遅延されて負伝送データ（第2パルス信号）16が出力されるようになっている。シユミットトリガ回路104は、中間レベルが入力されても出力論理が変化しないように制御するために設けられている。

【0034】

第1パルス発生回路20から出力される正伝送データ15および第2パルス発生回路21から出力される負伝送データ16は、合成回路としての論理和回路5に入力される。論理和回路5では、入力された正伝送データ15および負伝送データ16が合成されてシフトクロック信号17が生成され、第1シフトレジスタ1、第2シフトレジスタ2、第1パルス発生回路20の論理積回路3および第2パルス発生回路21の論理積回路4に入力される。

【0035】

第1パルス発生回路20では、シフトクロック信号17の論理反転と正直列データ13とが論理積され、駆動回路101を介してT時間の遅延後に第1パルス信号として正伝送データ15が出力される。同様に、第2パルス発生回路21で

は、シフトクロック信号17の論理反転と負直列データ14とが論理積され、駆動回路101を介してT時間の遅延後に負伝送データ16が出力される。

【0036】

以下に、上記第1シフトレジスタ1および第2シフトレジスタ2の具体的な構成例について説明する。

【0037】

図3 (a) は、第1シフトレジスタおよび第2シフトレジスタ2の構成を示す回路図である。

【0038】

このシフトレジスタは、データ入力端子D、非同期セット入力端子S、クロック入力端子およびデータ出力端子Qを有するフリップフロップFF1～FF8が設けられており、並列データD1～D8が論理積回路38～31によってライトパルスWRと論理積されて、それぞれ、フリップフロップFF1～FF8の非同期セット入力端子Sに入力されるようになっている。ライトパルスWRは、フリップフロップFF9の非同期セット入力端子Sにも接続されている。

【0039】

また、フリップフロップFF9のデータ入力Dは論理値0に固定されており、データ出力端子QはフリップフロップFF8のデータ入力端子Dに接続されている。なお、図3 (a)においては省略されているが、フリップフロップFF8のデータ出力端子QはフリップフロップFF7のデータ入力端子Dに接続されており、順に全てのフリップフロップFFが直列に接続されている。シフトクロック信号CLKは、フリップフロップFF1～FF9の各クロック入力端子に接続されており、シフトクロック信号CLKに同期して、各フリップフロップFF1～FF9のデータが順にシフトされるようになっている。FF1のデータ出力端子Qからの出力は、論理積回路30によってライトパルスWRの論理反転と論理積されて、シリアル出力OUTが出力される。

【0040】

図3 (b) は、上記フリップフロップFF1～FF9のCMOS回路による構成例を示す回路図である。

【0041】

このフリップフロップは、データ入力端子Dが、シフトクロック信号CLKによって制御されるトランスマニアゲート41と接続されている。トランスマニアゲート41の出力側は2つに分岐されており、一方は非同期セット入力Sが入力される論理和否定回路42を介してインバータ回路43と接続されており、他方がシフトクロック信号CLKによって制御されるトランスマニアゲート44と接続されている。インバータ回路43およびトランスマニアゲート44の出力側は、1つにまとめられてシフトクロック信号CLKによって制御されるトランスマニアゲート45と接続されている。また、トランスマニアゲート45の出力側は2つに分岐されており、一方は非同期セット入力Sが入力される論理和否定回路46を介してインバータ回路47と接続されており、他方がシフトクロック信号CLKによって制御されるトランスマニアゲート48と接続されている。インバータ回路47およびトランスマニアゲート48の出力側は、1つにまとめられてデータ出力端子Qと接続されている。

【0042】

このように構成されたフリップフロップにおいて、非同期セット入力Sが論理値'0'のときには、シフトクロック信号CLKの立ち上がりでデータ入力Dが記憶され、データ出力Qに保持される。また、非同期セット入力Sが論理値'1'のときには、データ出力Qは論理値'1'にセットされる。

【0043】

次に、このように構成された本実施形態のパラレル・シリアル変換回路100の動作について説明する。

【0044】

図4は、本実施形態のパラレル・シリアル変換回路100の動作を説明するための信号波形図である。

【0045】

ライトパルス10が'1'のときに、正並列データ11が第1シフトレジスタ1に書き込まれ、負並列データ12が第2シフトレジスタ2に書き込まれる。負並列データ12は、正並列データ11をピット反転させたデータである。

【0046】

ライトパルス10が'1'の期間には、第1シフトレジスタ1および第2シフトレジスタ2から出力される正直列データ13および負直列データ14は'0'であり、ライトパルス10が'0'になると同時に最初のビットデータが第1シフトレジスタ1および第2シフトレジスタからそれぞれ出力される。

【0047】

ここで、下位ビットから順に出力されるとすると、最初のビットデータは最下位ビットである。例えば、正直列データ13が'0'、負直列データ14が'1'のときには、第1パルス発生回路20では入力される正直列データが'0'であるために正伝送データ15は変化しないが、第2パルス発生回路21では入力される負直列データ14が'1'になってからT時間後に負伝送データ16が'1'となる。また、例えば正直列データ13が'1'、負直列データ14が'0'のときには、第2パルス発生回路21では入力される負直列データが'0'であるため負伝送データ16は変化しないが、第1パルス発生回路20では入力される正直列データ13が'1'になってからT時間後に正伝送データ15が'1'となる。このように正直列データ13および負直列データ14の少なくとも一方が'1'になると、論理和回路5から出力されるシフトクロック信号17は'1'となる。

【0048】

シフトクロック信号17は第1シフトレジスタ1および第2シフトレジスタ2に入力される一方、論理和回路3および4の反転入力に入力される。そして、正伝送データ15および負伝送データ16の論理和であるシフトクロック信号17が'1'になってからT時間後に正伝送データ15および負伝送データ16は共に'0'に復帰し、シフトクロック信号17も'0'となる。

【0049】

シフトクロック信号17が'0'から'1'に変化する瞬間に、第1シフトレジスタ1および第2シフトレジスタ2では、次のビットデータがシフトされて正直列データ13および負直列データ14として出力される。正直列データ13および負直列データ14はビット反転の関係にあるため、8ビットのビットデータ

が全てシフトされるまで、正伝送データ15および負伝送データ16は、いずれか一方が'1'である。

【0050】

第1シフトレジスタ1および第2シフトレジスタ2は、それぞれ、9ビット目のビットデータが設けられており、その値は'1'となっている。そのため、8ビットのビットデータが全てシフトされた後、正伝送データ15および負伝送データ16は共に'1'となる。この9サイクル目のシフトクロック信号17によって正直列データ13および負直列データ14は共に'0'となり、パルス発生が終了する。

【0051】

なお、上記図2(a)に示すパラレル・シリアル変換回路100では、正伝送データ15および負伝送データ16のそれぞれの遅延時間Tは、駆動回路101および102によって設定されているが、図2(b)に示すように、他の部分の回路遅延などを含めて利用することも可能である。

【0052】

図2(b)に示すパラレル・シリアル変換回路100は、論理和回路5の出力部にインバータ直列回路120が接続されている。第1パルス発生回路20は、論理積回路3と駆動回路101とインバータ直列回路120とによって構成され、第2パルス発生回路21は論理積回路4と駆動回路102とインバータ直列回路100とによって構成されている。

【0053】

このパラレル・シリアル変換回路100では、T時間の遅延は、インバータ直列回路120による遅延時間T1と、駆動回路101による遅延時間T2(または駆動回路102による遅延時間T2)との和によって設定される。

【0054】

(実施形態2)

本実施形態では、実施形態1のパラレル・シリアル回路を送信部に用いて、2本の伝送経路によって受信部にシリアルデータを伝送するシリアルデータ伝送システムの実施形態について説明する。

【0055】

図5は、本実施形態のシリアルデータ伝送シリアルデータ200の構成を示す回路図である。

【0056】

ここでは、送信部51の説明を簡略化するために第1シフトレジスタ1および第2シフトレジスタ2を省略して示しているが、送信部51の構成は、図2(a)に示すパラレル・シリアル変換回路100と同様である。

【0057】

送信部51において、正伝送データ15は、出力駆動回路101によって論理値'0'に対応するローレベル、もしくは論理値'1'に対応するハイレベルに電圧駆動される。正伝送データ15は、シュミットトリガ回路103の入力に接続されており、ローレベルとハイレベルとの中間レベルであるときには出力論理値が変化しないようになっている。

【0058】

負伝送データ16は、出力駆動回路102によって論理値'0'に対応するローレベル、もしくは論理値'1'に対応するハイレベルに電圧駆動される。負伝送データ16は、シュミットトリガ回路104の入力に接続されており、ローレベルとハイレベルとの中間レベルであるときには出力論理値が変化しないようになっている。

【0059】

シュミットトリガ回路103および104の出力は、それぞれ、論理和回路5の入力に接続されており、論理和回路5の出力は第1シフトレジスタ1および第2シフトレジスタ2にシフトクロック信号17として入力されるようになっている。

【0060】

以上のように構成された送信部51によって、伝送経路の負荷に適したパルス幅および振幅で正伝送データ15および負伝送データ16を発生させることができる。

【0061】

受信部52には、正伝送データ15が入力される受信回路105および負伝送データ16が入力される受信回路106が設けられている。受信回路105および106では、それぞれ、受信レベルが論理値'0'であるか、または論理値'1'であるかが判定される。

【0062】

受信回路105の出力は、レジスタ109の非同期セット端子Sに接続され、受信回路106の出力は、レジスタ109の非同期リセット端子Rに接続されている。レジスタ109の出力は、非同期セット端子Sから入力される正伝送データ15が'1'のときに論理値'1'にセットされ、非同期リセット端子Rから入力される負伝送データ16が'1'のときに論理値'0'にリセットされる。レジスタ109の出力は、データ110となる。

【0063】

また、受信回路105の出力および受信回路106の出力は、それぞれ、論理積回路107の入力に接続されている。論理積回路107の出力は、正伝送データ15および負伝送データ16が共に'1'のときに'1'となってパルスが出力され、それ以外は'0'となる。論理積回路107の出力は、データの終了を示す同期信号111となる。

【0064】

また、受信回路105の出力および受信回路106の出力は、それぞれ、論理和回路108の入力に接続されている。論理積回路107の出力は、正伝送データ15および負伝送データ16が共に'0'のときに'0'となり、それ以外は'1'となってパルスが出力される。論理和回路108の出力は、ビットの区切りを示すクロック信号111となる。

【0065】

次に、このように構成された本実施形態のシリアルデータ伝送システム200の動作について説明する。

【0066】

図6は、本実施形態のパラレル・シリアル変換回路100の動作を説明するための信号波形図である。

【0067】

正伝送データ15のパルス（ハイレベル'1'）によってデータ110は論理値'1'にセットされ、負伝送データ16のパルス（ハイレベル'1'）によってデータ110は論理値'0'にリセットされる。また、正伝送データ15および負伝送データ16が共に'0'であるときには、ビットの区切りとして論理値は変更されない。

【0068】

また、正伝送データ15および負伝送データ16に同時にパルスが入力されたときに、同期信号111にパルスが生じる。

【0069】

また、正伝送データ15および負伝送データ16の少なくとも一方にパルスが入力されたときに、クロック信号112にパルスが生じる。

【0070】

これによって、例えば、データ110をクロック信号112によってシフトレジスタに直列データとして入力し、同期信号111のタイミングでシフトレジスタから並列データとして出力させることができる。

【0071】

【発明の効果】

以上説明したように、本発明のパラレル・シリアル変換回路によれば、シフトクロック信号を外部から入力することなく、内部で発生させることができるので、クロック発生回路、クロック分周回路等を別途設ける必要がない。また、シリアルデータを生成しないときには、動作を完全に停止させることができため、消費電力を削減することができる。さらに、正伝送データおよび負伝送データが伝送される2本の信号線によって、データ、ビット区切り信号（クロック信号）および同期信号を伝送することができるため、端子数を2端子にすることができる。

【図面の簡単な説明】

【図1】

実施形態1のパラレル・シリアル変換回路の構成を示すブロック図である。

【図2】

(a) は、実施形態1のパラレル・シリアル変換回路の具体的な構成例を示す回路図であり、(b) は他の構成例を示す回路図である。

【図3】

(a) は、実施形態1のパラレル・シリアル変換回路におけるシフトレジスタの具体的な構成例を示す回路図であり、(b) は、フリップフロップの具体的な構成例を示す回路図である。

【図4】

実施形態1のパラレル・シリアル変換回路の動作を説明するための信号波形図である。

【図5】

実施形態2のシリアルデータ伝送システムの構成を示す回路図である。

【図6】

実施形態2のシリアルデータ伝送システムの動作を説明するための信号波形図である。

【図7】

従来のシリアルデータ伝送方法を説明するための信号波形図である。

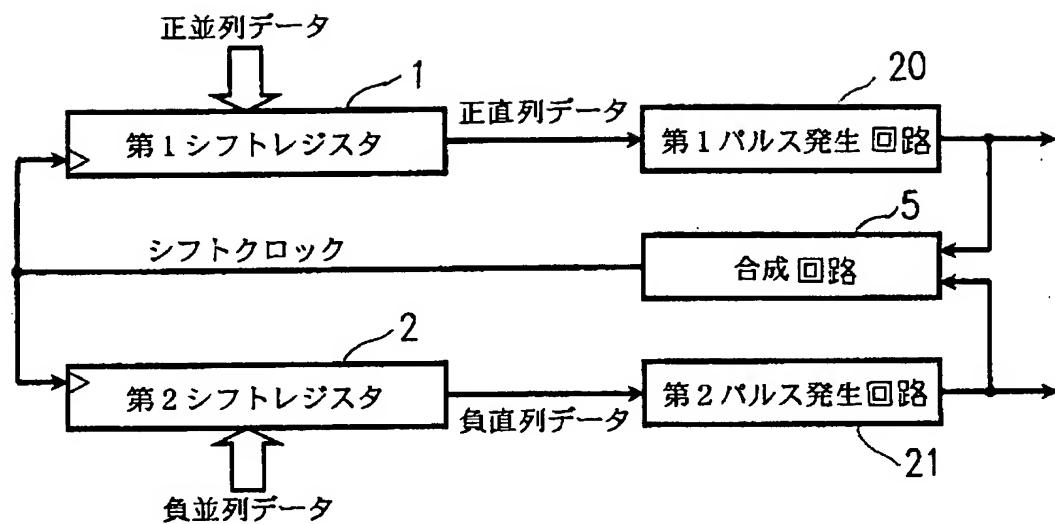
【符号の説明】

- 1 第1シフトレジスタ
- 2 第2シフトレジスタ
- 3、4 論理積回路
- 5 合成回路（論理和回路）
- 10 ライトパルス
- 11 正並列データ
- 12 負並列データ
- 13 正直列データ
- 14 負直列データ
- 15 正伝送データ
- 16 負伝送データ

- 1 7 シフトクロック信号
- 2 0 第1パルス発生回路
- 2 1 第2パルス発生回路
- 3 0～3 8 論理積回路
- 4 1、4 4、4 5、4 8 トランスマルチゲート
- 4 2、4 6 論理和否定回路
- 4 3、4 7 インバータ回路
- 5 1 送信部
- 5 2 受信部
- 1 0 0 パラレル・シリアル変換回路
- 1 0 1、1 0 2 駆動回路
- 1 0 3、1 0 4 シュミットトリガ回路
- 1 0 5、1 0 6 受信回路
- 1 0 7 論理積回路
- 1 0 8 論理和回路
- 1 0 9 レジスタ
- 1 1 0 データ
- 1 1 1 同期信号
- 1 1 2 クロック信号
- 1 2 0 インバータ直列回路
- 2 0 0 シリアルデータ伝送システム

【書類名】 図面

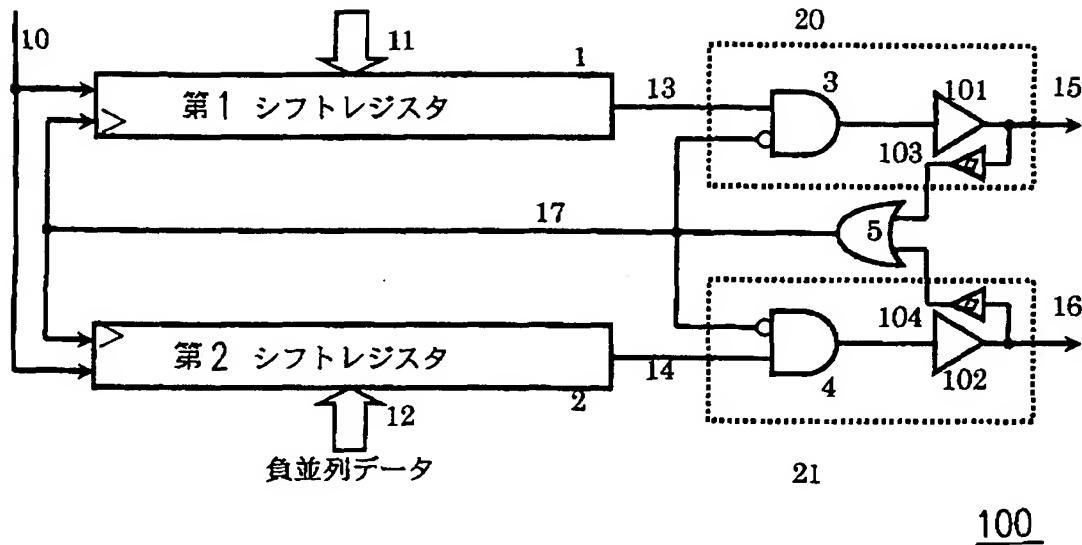
【図1】



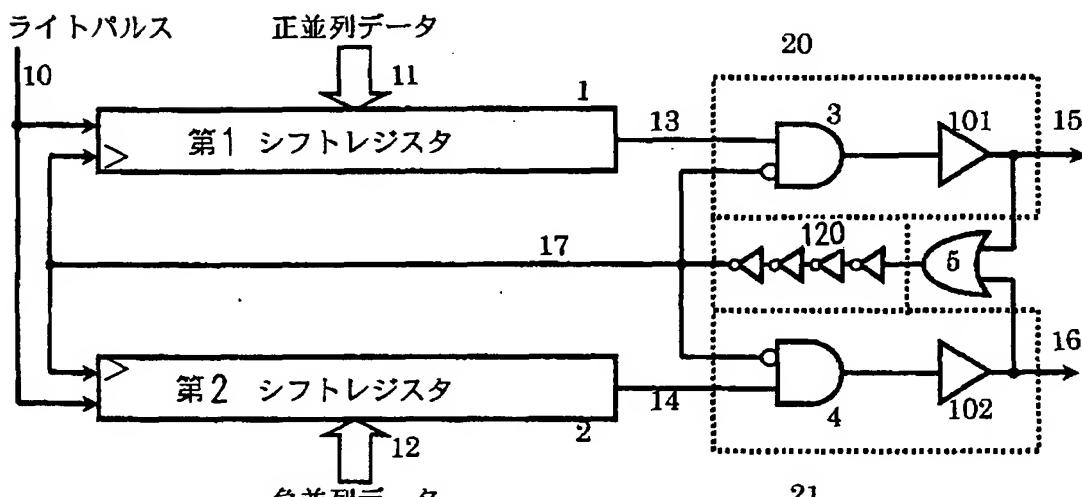
100

【図2】

(a)

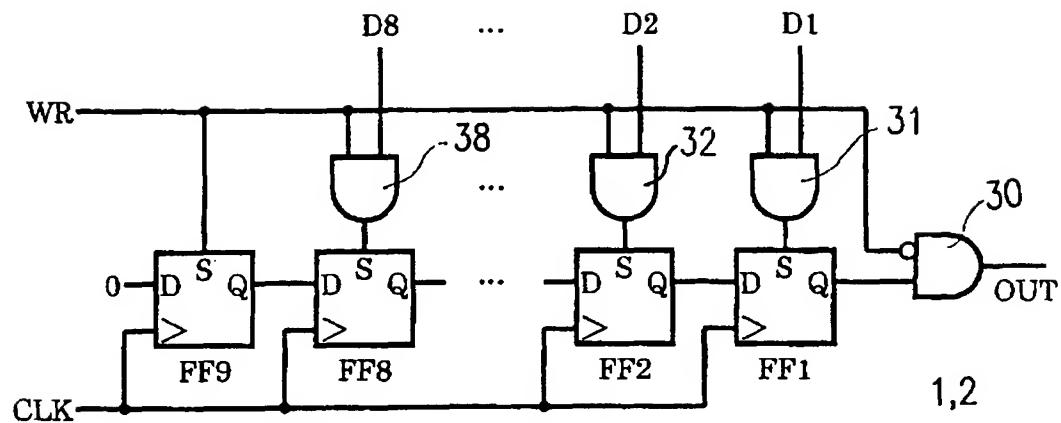
100

(b)

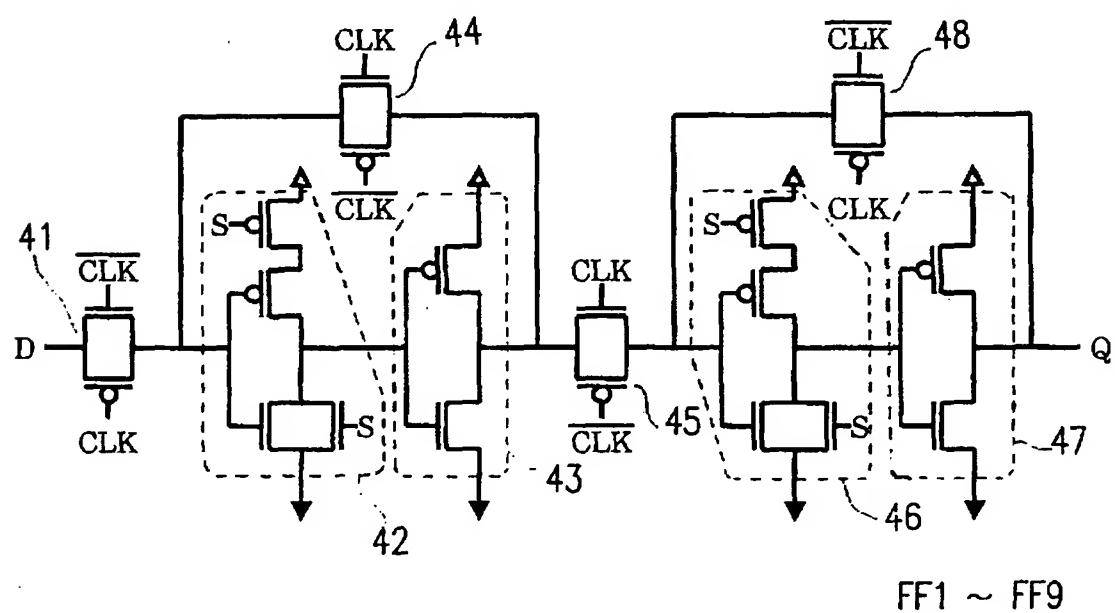
100

【図3】

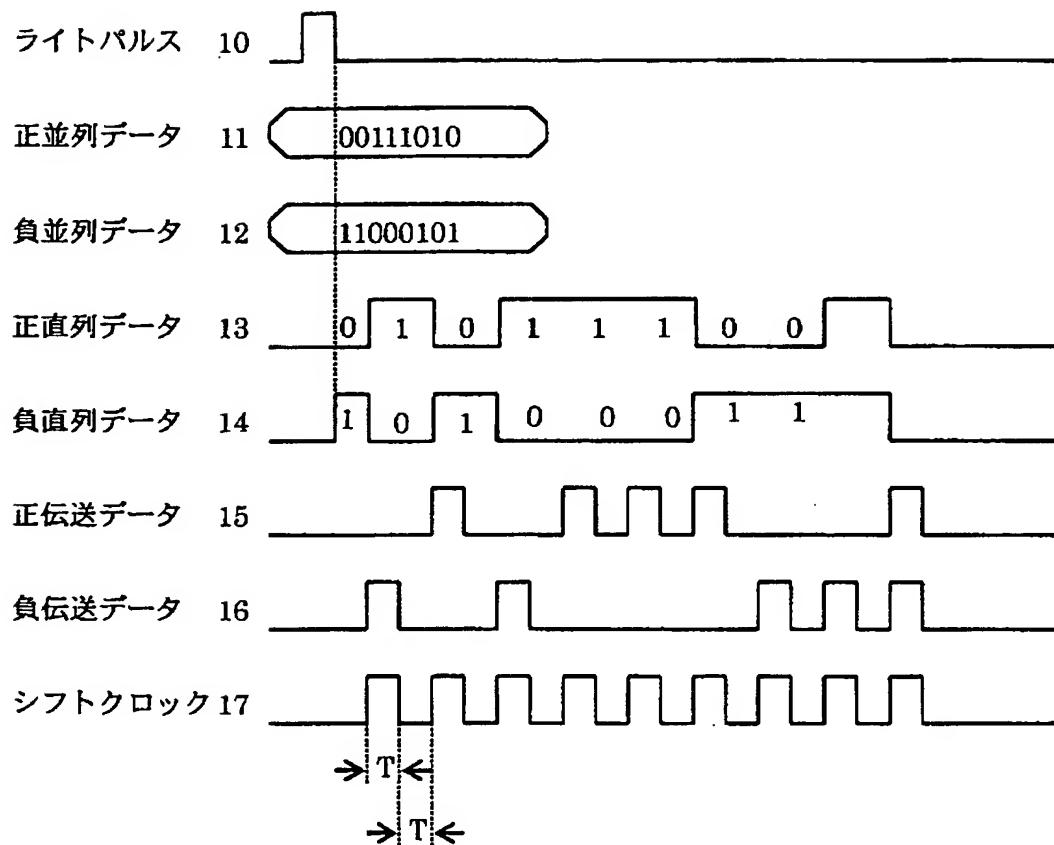
(a)



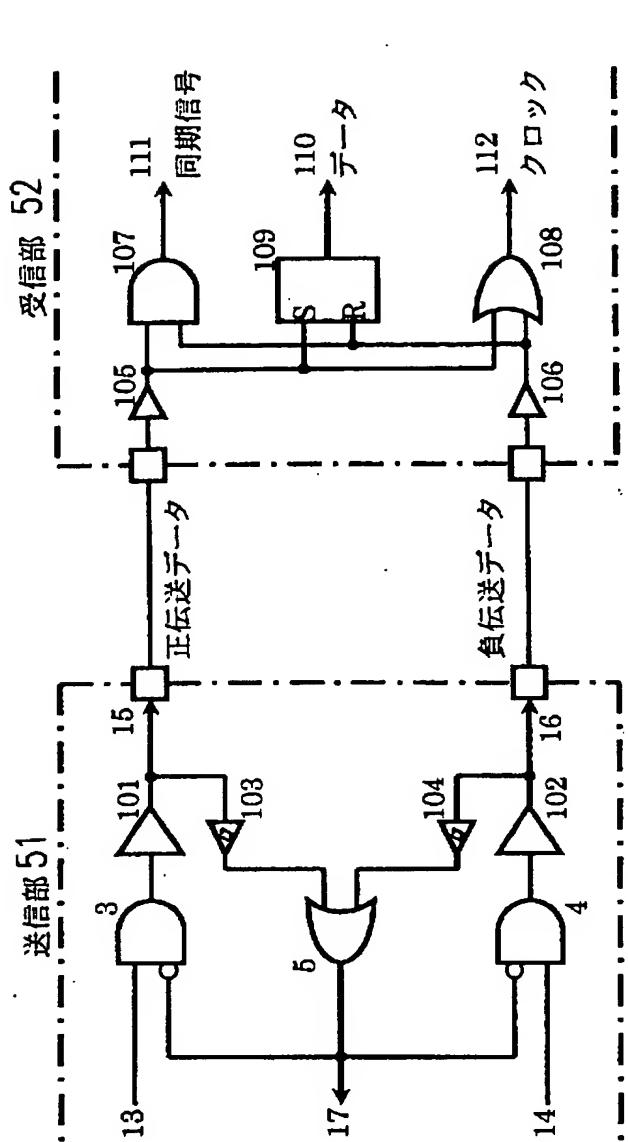
(b)



【図4】



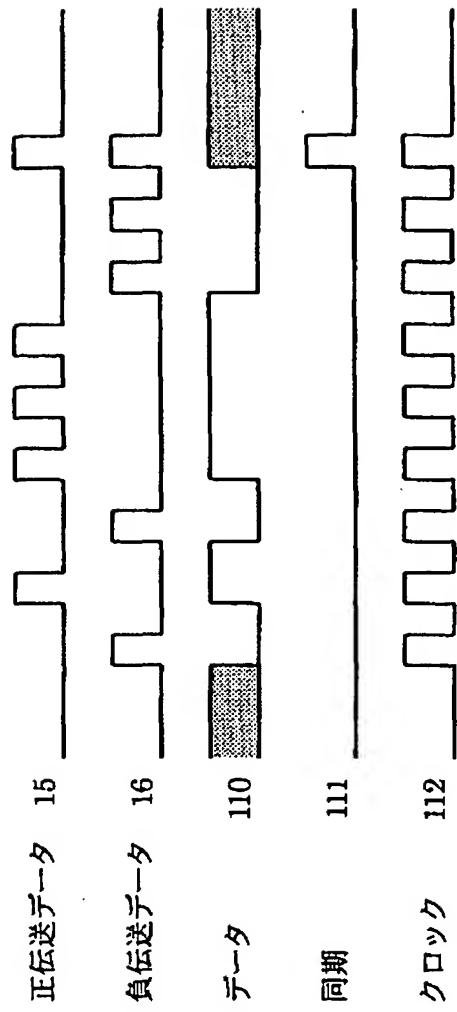
【図5】



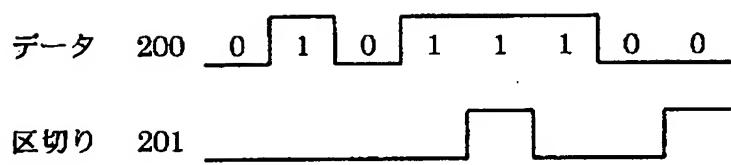
5

出証特2003-3034207

【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 回路規模の増大を防ぎ、低消費電力で、ビット区切り信号の伝送経路を設けずにシリアルデータを伝送可能なパラレル・シリアル変換回路を提供する。

【解決手段】 入力された正並列データをシフトクロック信号に応じてビットシフトしながら正直列データを出力する第1シフトレジスタ1と、正並列データをビット反転した負並列データをシフトクロック信号に応じてビットシフトしながら負直列データを出力する第2シフトレジスタ2と、正直列データに応じた第1パルス信号を出力する第1パルス発生回路20と、負直列データに応じた第2パルス信号を出力する第2パルス発生回路21と、第1パルス信号と第2パルス信号を合成する合成回路5を備え、合成信号をシフトクロック信号として用いる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-183704
受付番号	50200922056
書類名	特許願
担当官	第八担当上席 0097
作成日	平成14年 6月25日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005049
--------	-----------

【住所又は居所】	大阪府大阪市阿倍野区長池町22番22号
----------	---------------------

【氏名又は名称】	シャープ株式会社
----------	----------

【代理人】

【識別番号】	100078282
--------	-----------

【住所又は居所】	大阪市中央区城見1丁目2番27号 クリスタル タワー15階
----------	----------------------------------

【氏名又は名称】	山本 秀策
----------	-------

【選任した代理人】

【識別番号】	100062409
--------	-----------

【住所又は居所】	大阪府大阪市中央区城見1丁目2番27号 クリ スタルタワー15階 山本秀策特許事務所 安村 高明
----------	--

【選任した代理人】

【識別番号】	100107489
--------	-----------

【住所又は居所】	大阪市中央区城見一丁目2番27号 クリスタル タワー15階 山本秀策特許事務所 大塩 竹志
----------	---

次頁無

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社